

## (54) METAL-INSULATOR SEMICONDUCTOR FIELD-EFFECT TRANSISTOR

(11) 4-56360 (A) (43) 24.2.1992 (19) JP

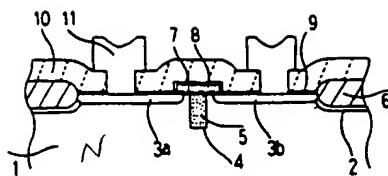
(21) Appl. No. 2-167563 (22) 26.6.1990

(71) TAKEHIDE SHIRATO (72) TAKEHIDE SHIRATO

(51) Int. Cl. H01L29/784

**PURPOSE:** To increase a speed and achieve high integration by forming a buried metallic or metallic silicide film in a semiconductor substrate just under a gate electrode and forming opposite-conductivity-type high-concentration impurity source and drain regions at both ends of the gate electrode.

**CONSTITUTION:** A gate electrode 8 is made on an n<sup>-</sup> type silicon substrate 1 and p<sup>+</sup> type source and drain regions 3a and 3b are made in self-aligned manner at both ends of the gate electrode 8. A shallow trench 4 is made in the n<sup>-</sup> type silicon substrate 1 just under the gate electrode 8 at equal distances from both ends thereof and filled with a selective chemical gas phase growth tungsten silicide film 5 to form a P channel MIS field effect transistor. Therefore, the ON resistance of the channel is decreased and a speed is increased by forming the trench filling metallic or metallic silicide film 5 forming a Schottky barrier. The depletion layer of the p<sup>+</sup> type drain region 3b spreads little and high integration is achieved by shortening the gate.



⑯日本国特許庁 (JP)

⑪特許出願公開

⑫公開特許公報 (A) 平4-56360

⑬Int.Cl.  
H 01 L 29/784

識別記号  
厅内整理番号  
8422-4M H 01 L 29/78

⑭公開 平成4年(1992)2月24日  
301 H

審査請求 未請求 請求項の数 2 (全7頁)

⑮発明の名称 MIS電界効果トランジスタ

⑯特 願 平2-167563  
⑰出 願 平2(1990)6月26日

⑱発明者 白土 猛英 神奈川県平塚市浅間町6番26号  
⑲出願人 白土 猛英 神奈川県平塚市浅間町6番26号

明細書

1.発明の名称

MIS電界効果トランジスタ

2.特許請求の範囲

(1) 一導電型の半導体基板と、前記半導体基板上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極と、前記ゲート電極の両端より等距離離れた前記ゲート電極直下部の前記半導体基板に設けられた埋め込み金属膜又は金属シリサイド膜と、前記ゲート電極の両端に設けられた反対導電型の高濃度不純物からなるソースドレイン領域とを備えてなることを特徴とするMIS電界効果トランジスタ。

(2) 前記ゲート電極が、ゲート絶縁膜上に設けられた第1のゲート電極と、前記第1のゲート電極に接し、前記第1のゲート電極の側壁に設けられた第2のゲート電極とからなることを特徴とする特許請求の範囲第一項記載のMIS電界効果トランジスタ。

3.発明の詳細な説明

〔概要〕

n-型半導体基板上にゲート酸化膜を介してゲート電極が設けられ、ゲート電極の両端にはp+型ソースドレイン領域が設けられ、ゲート電極の両端より等距離離れたゲート電極直下部のn-型半導体基板にトレンチが設けられ、このトレンチが金属膜又は金属シリサイド膜により埋め込まれた構造を有するPチャネルのMIS電界効果トランジスタが形成されているため、チャネル領域の一部に半導体基板との間にショットキーバリアを形成する金属膜又は金属シリサイド膜を形成できることにより、伝達コンダクタンスを増大できることによる高速化を、チャネル領域の一部に形成した金属膜又は金属シリサイド膜により、ドレン領域の空乏層の広がりを抑えることができ、パンチスルーナイトを上げることができるため、ゲート長を微細化できることによる高集積化を可能としたMIS電界効果トランジスタ。

## 特開平4-56360 (2)

### 〔産業上の利用分野〕

本発明はMIS型半導体装置に係り、特に移動度が小さく、伝導コンダクタンスの向上が難しいPチャネルのMIS電界効果トランジスタの高速化に関する。

従来、PチャネルのMIS電界効果トランジスタの高速化に関しては、ゲート電極の両端にセルフアラインに高濃度のソースドレイン領域を設ける慣例的なMIS電界効果トランジスタを形成し、ゲート長を微細化することにより、即ちチャネル長を短くすることにより伝導コンダクタンスの向上をはかってきたが、現状ではソースドレイン領域を形成するイオン種には拡散係数が大きい硼素しかないので、ソースドレイン領域が深く形成され、したがってゲート電極下の横方向拡散が大きく、容易にパンチスルーハー現象を生じるため、これ以上のゲート長の微細化が難しくなってきており、高速化への妨げになるという問題が顕著になってきている。そこで、伝導コンダクタンスの向上が可能で、又、よりゲート長の微細化も可能な

高速且つ高集積なPチャネルのMIS電界効果トランジスタを形成できる手段が要望されている。

### 〔従来の技術〕

第5図は従来のMIS電界効果トランジスタの模式側断面図で、51はn-型シリコン(Si)基板、52はn型チャネルストッパー領域、53はp+型ソースドレイン領域、54はフィールド酸化膜、55はゲート酸化膜、56はゲート電極、57は不純物プロック用酸化膜、58は焼珪酸ガラス PSG 膜、59はAl配線を示している。

同図においては、n-型シリコン(Si)基板51上にゲート酸化膜55を介してゲート電極56が設けられ、ゲート電極56の両端にはp+型ソースドレイン領域53が設けられた慣例的な構造のPチャネルのショートチャネルMIS電界効果トランジスタが形成されている。製造上は極めてシンプルで作りやすいが、硼素のイオン注入により形成された高濃度のソースドレイン領域が深く形成されているため、ゲート電極下の横方向拡散が大きく、拡

散層の曲率も大きいので、空乏層の広がりが大きく、容易にパンチスルーハー現象を生じるため、ゲート長を微細化できないことから高集積化が難しいこと及びチャネルのオン抵抗が大きく、伝導コンダクタンスの向上が難しいため高速化に難があること等の欠点があった。

### 〔発明が解決しようとする問題点〕

本発明が解決しようとする問題点は、従来例に示されるように、従来の慣例的なPチャネルのショートチャネルMIS電界効果トランジスタにおいては、高濃度のソースドレイン領域を浅く形成できないため、ゲート電極下の横方向拡散が大きく、容易にパンチスルーハー現象を生じるため、ゲート長のさらなる微細化が困難で高集積化が難しかったこと、ゲート長の微細化が困難なためチャネルのオン抵抗が低減できず、伝導コンダクタンスの向上が難しいため、より高速化が難しかったことである。

### 〔問題点を解決するための手段〕

上記問題点は、一導電型の半導体基板と、前記半導体基板上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極と、前記ゲート電極の両端より等距離離れた前記ゲート電極直下部の前記半導体基板に設けられた埋め込み金属膜又は金属シリサイド膜と、前記ゲート電極の両端に設けられた反対導電型の高濃度不純物からなるソースドレイン領域とを備えてなる本発明のMIS電界効果トランジスタによって解決される。

### 〔作用〕

即ち本発明の半導体装置においては、n-型半導体基板上にゲート酸化膜を介してゲート電極が設けられ、ゲート電極の両端にはp+型ソースドレイン領域が設けられ、ゲート電極の両端より等距離離れたゲート電極直下部のn-型半導体基板にトレンチが設けられ、このトレンチが金属膜又は金属シリサイド膜により埋め込まれた構造を有

するPチャネルのMIS電界効果トランジスタが形成されている。したがって、ゲート電極にセルフアラインして、チャネル領域の一部に、半導体基板との間にショットキーバリアを形成するトレンチ埋め込み金属膜又は金属シリサイド膜を形成できることにより、チャネルのオン抵抗を低減でき、伝達コンダクタンスを増大できることによる高速化を、チャネル領域の一部に設けたトレンチを埋め込んで形成した金属膜又は金属シリサイド膜により、ドレイン領域の空乏層の広がりを抑えることができ、ソースドレイン領域間のパンチスルーネットを上げることができ、ゲート長を微細化できることによる高集積化を可能にすることができる。即ち、極めて高速且つ高集積な半導体集積回路の形成を可能としたMIS電界効果トランジスタを得ることができる。

## [実施例]

以下本発明を、図示実施例により具体的に説明する。

ゲート酸化膜、8は300 nm程度のゲート電極、9は35nm程度の不純物ブロック用酸化膜、10は600 nm程度の燐珪酸ガラス(PSG)膜、11は1μm程度のAI配線を示している。

同図においては、n-型シリコン基板1上にゲート酸化膜7を介してゲート電極8が設けられ、ゲート電極8の両端にはゲート電極8にセルフアラインにp+型ソースドレイン領域(3a、3b)が設けられ、又、ゲート電極8の両端より等距離離れたゲート電極8直下部のn-型シリコン基板1には浅いトレンチ4が設けられ、このトレンチ4が選択化学気相成長タングステンシリサイド膜5により埋め込まれた構造を有するPチャネルのMIS電界効果トランジスタが形成されている。したがって、ゲート電極8にセルフアラインして、チャネル領域の一部に、n-型シリコン基板1との間にショットキーバリアを形成するトレンチ埋め込み金属膜又は金属シリサイド膜5を形成できることにより、チャネルのオン抵抗を低減でき、伝達コンダクタンスを増大できることによる高速

第1図は本発明のMIS電界効果トランジスタにおける第1の実施例の模式側断面図、第2図は本発明のMIS電界効果トランジスタにおける第2の実施例の模式側断面図、第3図は本発明のMIS電界効果トランジスタにおける第3の実施例の模式側断面図、第4図(a)～(e)は本発明のMIS電界効果トランジスタにおける製造方法の一実施例の工程断面図である。

全図を通じ同一対象物は同一番号、同一記号で示す。

第1図はn-型シリコン基板を用いた際の本発明のMIS電界効果トランジスタにおける第1の実施例の模式側断面図で、1は10<sup>16</sup> cm<sup>-3</sup>程度のn-型シリコン基板、2は10<sup>17</sup> cm<sup>-3</sup>程度のn型チャネルトップ領域、3aは10<sup>20</sup> cm<sup>-3</sup>程度のp+型ソース領域、3bは10<sup>20</sup> cm<sup>-3</sup>程度のp+型ドレイン領域、4は深さ1μm程度のトレンチ、5はトレンチ埋め込み金属膜又は金属シリサイド膜(選択化学気相成長タングステンシリサイド膜)、6は600 nm程度のフィールド酸化膜、7は18nm程度の

化を、チャネル領域の一部に設けたトレンチ4を埋め込んで形成した金属膜又は金属シリサイド膜5により、p+型ドレイン領域3bの空乏層の広がりを抑えることができ、p+型ソースドレイン領域(3a、3b)間のパンチスルーネットを上げることができ、ゲート長を微細化できることによる高集積化を可能にすることができる。

第2図は本発明のMIS電界効果トランジスタにおける第2の実施例の模式側断面図で、1～6、9～11は第1図と同じ物を、7aは第1のゲート酸化膜、7bは第2のゲート酸化膜、8aは第1のゲート電極、8bは第2のゲート電極、12はn型不純物領域を示している。

同図においては、第1のゲート電極8a直下には第1のゲート酸化膜7aを介して、セルフアラインにトレンチ埋め込み金属膜又は金属シリサイド膜(選択化学気相成長タングステンシリサイド膜)5が形成され、第1のゲート電極8aの側壁には、第1のゲート電極8aに接し、第1のゲート電極8aにセルフアラインに第2のゲート電極8b(側壁ゲ

ート電極)が第2のゲート酸化膜7bを介して形成されており、又、DSA(Diffused Self-Alignment)技術により、第2のゲート電極8bにセルフアラインにp+型ソースドレイン領域(3a, 3b)及びn型不純物領域12(表面が反転されてチャネル領域となる)が形成されている。本実施例においては、第1の実施例より微細に形成できるため、より高速化及び高集積化が期待できる。

第3図は本発明のMIS電界効果トランジスタにおける第3の実施例の模式側断面図で、1~3b 6~11は第1図と同じ物を、4aは第1のトレンチ、4bは第2のトレンチ、5bは第2のトレンチ埋め込み金属膜又は金属シリサイド膜(選択化学気相成長タンゲンシリサイド膜)を示している。

同図においては、n-型シリコン基板1に設けられた第1のトレンチ4aにゲート酸化膜7及びゲート電極8が埋め込まれ、第1のトレンチ4aの内側に第1のトレンチ4aにセルフアラインに第2のトレンチ4bが設けられ、第2のトレンチ4bに金属

膜又は金属シリサイド膜(選択化学気相成長タンゲンシリサイド膜)5bが埋め込まれ、又、第1のトレンチ4aにセルフアラインにp+型ソースドレイン領域(3a, 3b)が形成されている。

本実施例においては、第1の実施例より微細に形成できるため、より高速化及び高集積化とゲート電極を第1のトレンチに埋め込めるため、平坦化が可能で、信頼性を高めることも可能になる。

次いで本発明に係るMIS電界効果トランジスタの製造方法の一実施例について第4図(a)~(e)を参照して説明する。ただし、ここでは本発明のMIS電界効果トランジスタの形成に関する製造方法のみを記述し、一般的な半導体集積回路に搭載される各種の要素(他のトランジスタ、抵抗、容量等)の形成に関する製造方法の記述は省略する。

#### 第4図(a)

通常の技法を適用することにより、n-型シリコン基板1にn型チャネルストッパー領域2及び600nm程度のフィールド酸化膜6を形成する。

除去する。次いで18nm程度のゲート酸化膜7を成長する。次いで不純物を含む多結晶シリコン膜を成長し、異方性ドライエッティングして化学気相成長酸化膜13の開孔部に埋め込みゲート電極8を形成する。

#### 第4図(e)

次いで残された化学気相成長酸化膜13をエッティング除去する。次いで35nm程度の不純物ブロック用酸化膜9を成長する。次いで通常のフォトリソグラフィー技術を利用し、レジスト(図示せず)、ゲート電極8及びフィールド酸化膜6をマスク層として、硼素をイオン注入してp+型ソースドレイン領域(3a, 3b)を形成する。次いでレジストを除去する。

#### 第1図

次いで通常の技法を適用することにより、焼結ガラス PSG 膜10の成長、高温熱処理による不純物拡散領域の活性化及び深さの制御、電極コントクト窓の形成、Al配線11の形成等をおこなってPチャネルのMIS電界効果トランジスタを完成

#### 第4図(b)

次いで350nm程度の化学気相成長酸化膜13を成長する。次いで通常のフォトリソグラフィー技術を利用し、レジスト(図示せず)をマスク層として、化学気相成長酸化膜13を選択的にドライエッティングする。次いでレジストを除去する。次いで20nm程度の下地酸化膜14を成長する。次いで400nm程度の窒化膜を成長する。次いで異方性ドライエッティングし、残された化学気相成長酸化膜13の側壁に窒化膜15を残す。次いで窒化膜15をマスク層として、下地酸化膜14をエッティング除去する。次いで窒化膜15及び化学気相成長酸化膜13をマスク層として、n-型シリコン基板1をエッティングし、深さ約1μm程度のトレンチ4を形成する。

#### 第4図(c)

次いでトレンチ4に選択化学気相成長タンゲンシリサイド膜5を埋め込む。

#### 第4図(d)

次いで窒化膜15をポイルした磷酸によりエッティング除去する。次いで下地酸化膜14をエッティング

特開平4-56360 (5)

する。

以上実施例に示したように、本発明のMIS電界効果トランジスタによれば、ゲート電極にセルフアラインして、チャネル領域の一部に、半導体基板との間にショットキーバリアを形成するトレンチ埋め込み金属膜又は金属シリサイド膜を形成できることにより、チャネルのオン抵抗を低減でき、伝達コンダクタンスを増大できることによる高速化を、チャネル領域の一部に設けたトレンチを埋め込んで形成した金属膜又は金属シリサイド膜により、ドレイン領域の空乏層の広がりを抑えることができ、ソースドレイン領域間のパンチスルーフ耐圧を上げることができるとため、ゲート長を微細化できることによる高集積化を可能にすることができる。

[発明の効果]

以上説明のように本発明によれば、MIS電界効果トランジスタにおいて、チャネル領域の一部に、半導体基板との間にショットキーバリアを形

成する金属膜又は金属シリサイド膜を形成できることにより、伝達コンダクタンスを増大できることによる高速化を、チャネル領域の一部に形成した金属膜又は金属シリサイド膜により、ドレイン領域の空乏層の広がりを抑えることができ、パンチスルーフ耐圧を上げることができるとため、ゲート長を微細化できることによる高集積化を可能にすることができる。即ち、極めて高速且つ高集積な半導体集積回路の形成を可能としたMIS電界効果トランジスタを得ることができる。

4. 図面の簡単な説明

第1図は本発明のMIS電界効果トランジスタにおける第1の実施例の模式側断面図。

第2図は本発明のMIS電界効果トランジスタにおける第2の実施例の模式側断面図。

第3図は本発明のMIS電界効果トランジスタにおける第3の実施例の模式側断面図。

第4図(a)～(e)は本発明のMIS電界効果トランジスタにおける製造方法の一実施例の工程断

面図、

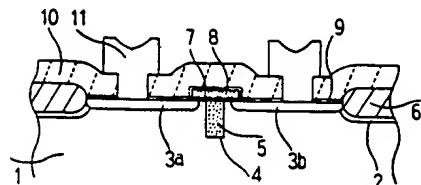
第5図は従来のMIS電界効果トランジスタの模式側断面図である。

図において、

- 1はn-型シリコン基板、
- 2はn型チャネルストッパー領域、
- 3aはp+型ソース領域、
- 3bはp+型ドレイン領域、
- 4、4a、4bはトレンチ、
- 5、5bはトレンチ埋め込み金属膜又は金属シリサイド膜（選択化学気相成長タンクスチタンシリサイド膜）、
- 6はフィールド酸化膜、
- 7、7a、7bはゲート酸化膜、
- 8、8a、8bはゲート電極、
- 9は不純物プロック用酸化膜、
- 10は焼珪酸ガラス(PSG)膜、
- 11はAl配線、
- 12はn型不純物領域、

を示す。

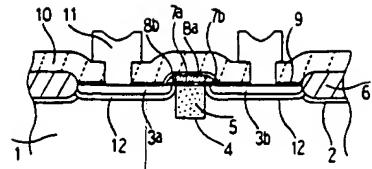
特許出願人 白土猛英



本発明のMIS電界効果トランジスタにおける第1の実施例の模式側断面図

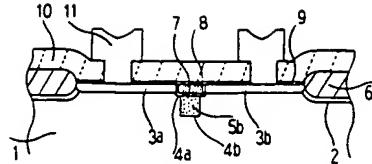
第1図

- 1はn-型シリコン基板
- 2はn型チャネルストッパー領域
- 3aはp+型ソース領域
- 3bはp+型ドレイン領域
- 4はトレンチ
- 5はトレンチ埋め込み金属膜又は金属シリサイド膜（選択化学気相成長タンクスチタンシリサイド膜）
- 6はフィールド酸化膜
- 7はゲート酸化膜
- 8はゲート電極
- 9は不純物プロック用酸化膜
- 10は焼珪酸ガラス(PSG)膜
- 11はAl配線



本発明のM I S電界効果トランジスタ  
における第2の実施例の模式断面図

第 2 図

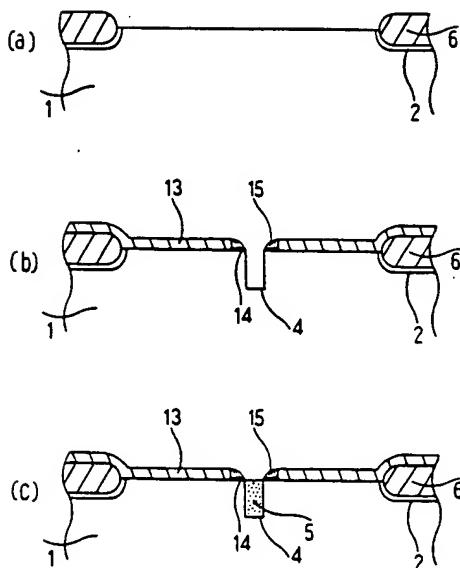


本発明のM I S電界効果トランジスタ  
における第3の実施例の模式断面図

第 3 図

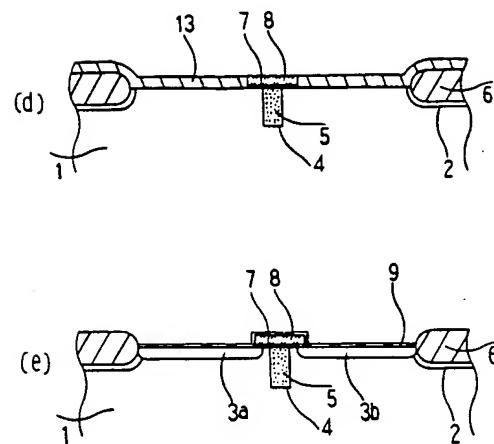
1はp-型シリコン基板  
2はn型チャネルストッパー領域  
3aはp+型ソース領域  
3bはp+型ドレイン領域  
4はトレンチ  
5はトレンチ埋め込み金属膜又は金属シリサイド膜（選  
択化学気相成長タンクスチタンシリサイド膜）  
6はフィールド酸化膜  
7aは第1のゲート酸化膜  
7bは第2のゲート酸化膜  
8aは第1のゲート電極  
8bは第2のゲート電極  
9は不純物ブロック用酸化膜  
10は接続部ガラス（PSG）膜  
11はAl配線  
12はn型不純物領域

1はp-型シリコン基板  
2はn型チャネルストッパー領域  
3aはp+型ソース領域  
3bはp+型ドレイン領域  
4aは第1のトレンチ  
4bは第2のトレンチ  
5bはトレンチ埋め込み金属膜又は金属シリサイド膜（選  
択化学気相成長タンクスチタンシリサイド膜）  
6はフィールド酸化膜  
7はゲート酸化膜  
8はゲート電極  
9は不純物ブロック用酸化膜  
10は接続部ガラス（PSG）膜  
11はAl配線



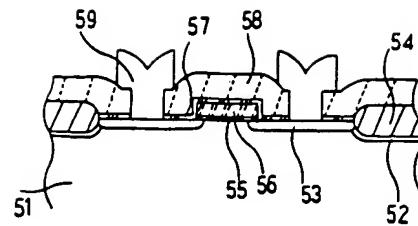
本発明のM I S電界効果トランジスタ  
における製造方法の一実施例の工程断面図

第 4 図



本発明のM I S電界効果トランジスタ  
における製造方法の一実施例の工程断面図

第 4 図



従来のM I S電界効果トランジスタ  
の模式側断面図

第 5 図